

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

11-134256

(43)Date of publication of application : 21.05.1999

# 1

(51)Int.Cl.

G06F 12/10

(21)Application number : 09-301067

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1997

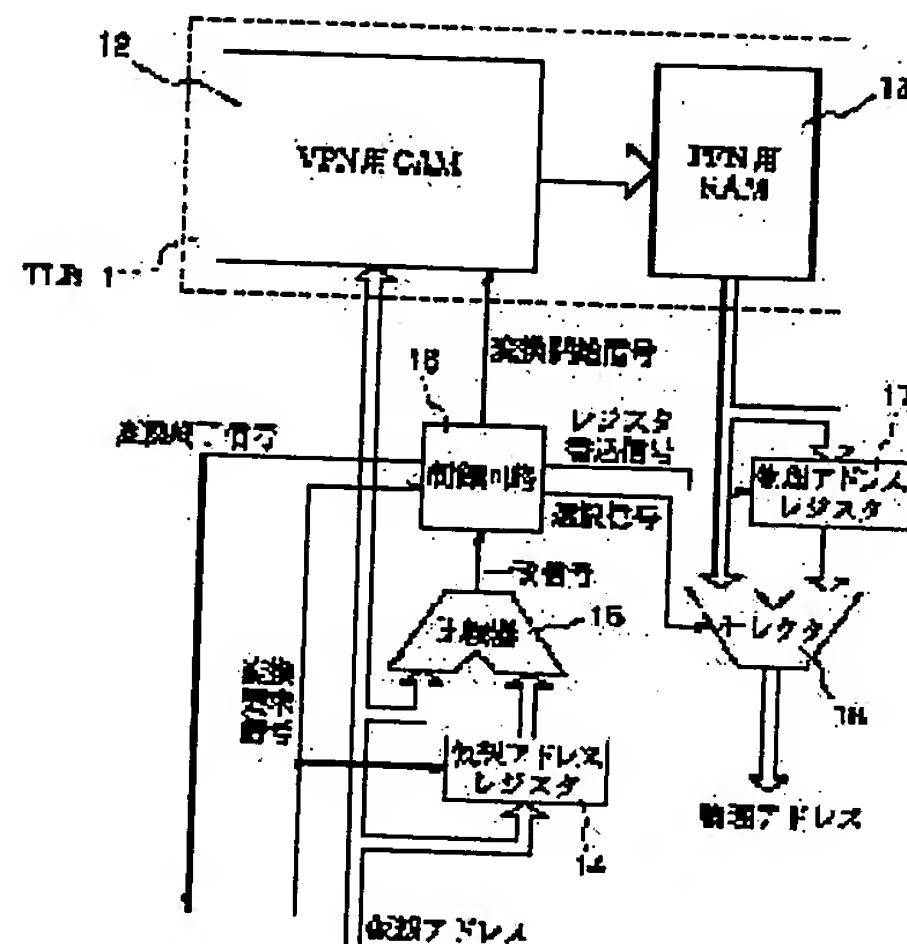
(72)Inventor : ABE MICHIO

## (54) ADDRESS CONVERSION CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumption in an address conversion circuit used at the time of using an associative memory and converting a virtual address into a physical address or the like.

**SOLUTION:** This circuit is provided with a virtual address register 14 for holding the virtual address at the time of the conversion of a previous time, a comparator 15 for comparing the present virtual address with the virtual address inside the virtual address register 14, a physical address register 17 for holding the physical address outputted from a TLB 11 corresponding to a register write signal and a selector 18 for selecting one of the physical address outputted from the TLB 11 and the physical address inside the physical address register 17. When the virtual address matches between the previous time and this time, the converted result of the previous time stored in the physical address register 17 is outputted from the selector 18 without performing an address comparison operation in the TLB 11.



## LEGAL STATUS

[Date of request for examination]

31.10.1997

[Date of sending the examiner's decision of rejection]

12.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

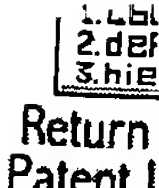
[Date of extinction of right]



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

# MicroPatent® Worldwide PatSearch: Record 3 of 4

Family of JP11134256 [How It Works](#)

---

Family of JP11134256

No additional family members are found for this document

---



PatentWeb  
Home



Edit  
Search



Return to  
Patent List



Back to  
Record



Help

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-134256

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.  
G 0 6 F 12/10

識別記号

F I  
G 0 6 F 12/10

A

審査請求 有 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平9-301067

(22) 出願日 平成9年(1997)10月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 阿部 道夫

東京都港区芝五丁目7番1号 日本電気株式会社内

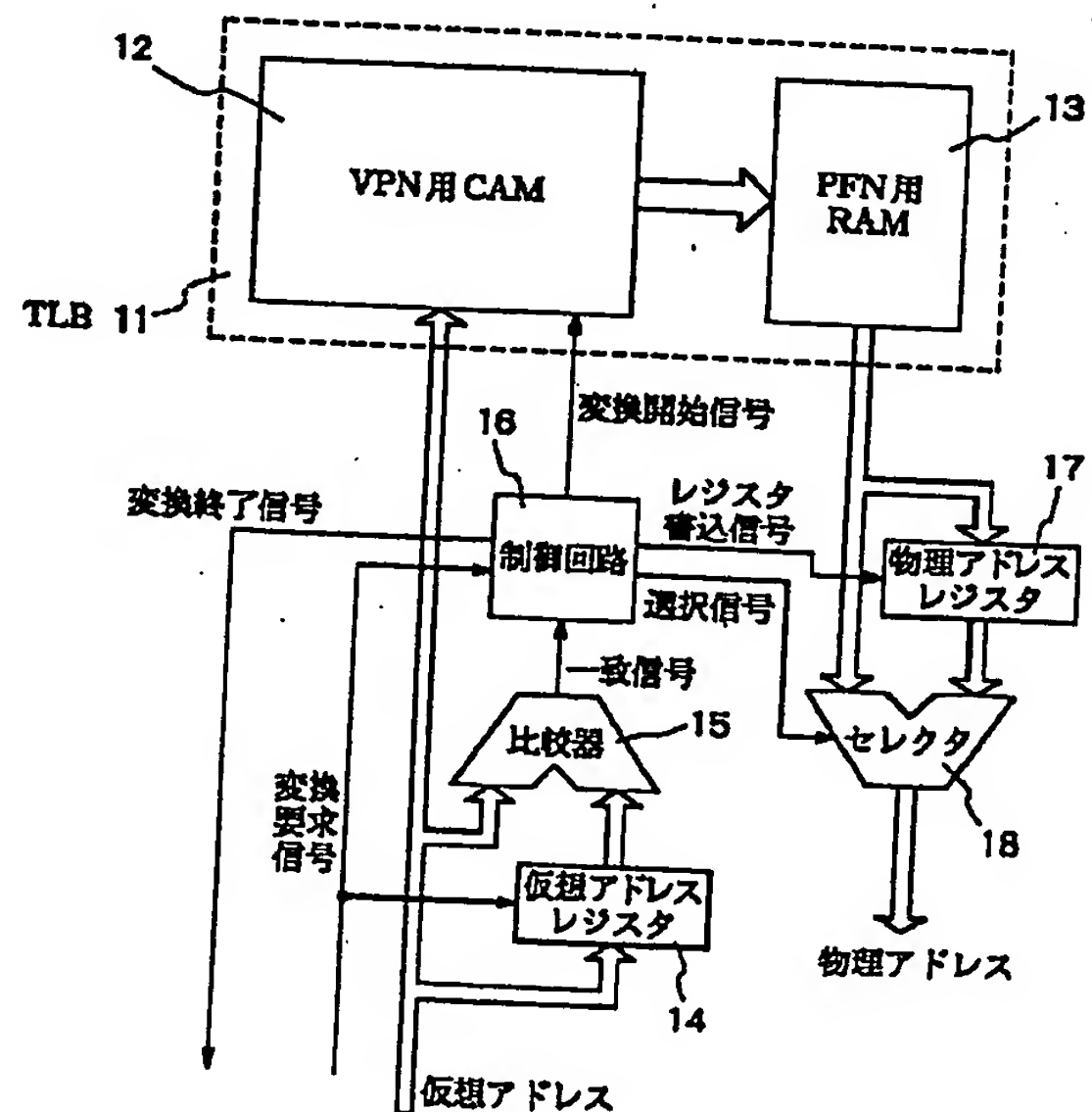
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 アドレス変換回路

(57) 【要約】

【課題】 連想メモリを使用し仮想アドレスを物理アドレスに変換する際などに使用されるアドレス変換回路において、消費電力を削減する。

【解決手段】 前回の変換時の仮想アドレスを保持する仮想アドレスレジスタ14と、現在の仮想アドレスと仮想アドレスレジスタ14内の仮想アドレスを比較する比較器15と、TLB11から出力された物理アドレスをレジスタ書込信号に応じて保持する物理アドレスレジスタ17と、TLB11から出力された物理アドレスと物理アドレスレジスタ17内の物理アドレスとのいずれかを選択するセクタ18を設ける。前回と今回とで仮想アドレスが一致するときは、TLB11におけるアドレス比較動作を行わせることなく、物理アドレスレジスタ17に格納されている前回の交換結果をセクタ18から出力するようにする。



## 【特許請求の範囲】

【請求項 1】 第 1 のアドレスを第 2 のアドレスに変換するアドレス変換回路であって、

変換開始信号に応じてアドレス比較動作を行い、前記第 2 のアドレスである出力情報に前記第 1 のアドレスを変換するアドレス変換手段と、

前回の変換時の前記第 1 のアドレスを保持するアドレス保持手段と、

現在の前記第 1 のアドレスと前記アドレス保持手段に保持されている前記第 1 のアドレスとを比較する比較手段と、

前記アドレス変換手段が出力する前記出力情報を書込信号に応じて取り込み、保持する出力情報保持手段と、

前記アドレス変換手段からの現在の前記出力情報と前記出力情報保持手段に保持されている前記出力情報のいずれかを選択信号に応じて選択し出力する選択手段と、

変換要求があったときに前記比較手段において一致と判別されているときには、前記変換開始信号を出力することなく、前記出力情報保持手段に保持されている前記出力情報が前記選択手段から出力するように前記選択信号によって制御し、変換要求があったときに前記比較手段において不一致と判別されているときには、前記変換開始信号及び前記書込信号を出力し、前記アドレス変換手段からの現在の前記出力情報が前記選択手段から出力するように前記選択信号によって制御する制御手段と、を有するアドレス変換回路。

【請求項 2】 前記アドレス変換手段が、セットアソシアティブ型のキャッシュメモリである請求項 1 に記載のアドレス変換回路。

【請求項 3】 第 1 のアドレスを第 2 のアドレスに変換するアドレス変換回路であって、

連想メモリを有して変換開始信号に応じてアドレス比較動作を行い、前記第 1 のアドレスを前記第 2 のアドレスに変換するアドレス変換手段と、

前回の変換時の前記第 1 のアドレスを保持する第 1 のアドレス保持手段と、

現在の前記第 1 のアドレスと前記アドレス保持手段に保持されている前記第 1 のアドレスとを比較する比較手段と、

前記アドレス変換手段が出力する前記第 2 のアドレスを書込信号に応じて取り込み、保持する第 2 のアドレス保持手段と、

前記アドレス変換手段からの現在の前記第 2 のアドレスと前記第 2 のアドレス保持手段に保持されている前記第 2 のアドレスのいずれかを選択信号に応じて選択し出力する選択手段と、

変換要求があったときに前記比較手段において一致と判別されているときには、前記変換開始信号を出力することなく、前記第 2 のアドレス保持手段に保持されている前記第 2 のアドレスが前記選択手段から出力するように

前記選択信号によって制御し、変換要求があったときに前記比較手段において不一致と判別されているときには、前記変換開始信号及び前記書込信号を出力し、前記アドレス変換手段からの現在の前記第 2 のアドレスが前記選択手段から出力するように前記選択信号によって制御する制御手段と、を有するアドレス変換回路。

【請求項 4】 前記制御手段が、前記比較手段が出力する一致信号を反転するインバータと、変換要求信号と前記インバータの出力の論理積を求めてこれを前記変換開始信号として出力する第 1 のアンドゲートと、前記変換要求信号と前記一致信号の出力の論理積を求める第 2 のアンドゲートと、所定のクロック信号に基づいて前記変換開始信号をラッチし前記レジスタ書込信号として出力する第 1 の D 型フリップフロップと、前記クロック信号に基づいて前記第 2 のアンドゲートの出力をラッチし前記選択信号として出力する第 2 の D 型フリップフロップと、を備える請求項 3 に記載のアドレス変換回路。

【請求項 5】 前記アドレス変換手段が、前記第 1 のアドレスをタグとして複数のエントリを有する前記連想メモリと、前記各エントリごとに対応する第 2 のアドレスを保持するランダムアクセスメモリとからなり、前記連想メモリにおける前記アドレス比較動作において一致したエントリに対応する前記第 2 のアドレスが前記アドレス変換手段から出力される、請求項 3 または 4 に記載のアドレス変換回路。

【請求項 6】 第 1 のアドレス及びプロセス番号とをタグにして前記第 1 のアドレスを第 2 のアドレスに変換するアドレス変換回路であって、

前記第 1 のアドレスについて第 1 の変換開始信号に応じてアドレス比較動作を行う第 1 の連想メモリと、前記プロセス番号について第 2 の変換開始信号に応じてアドレス比較動作を行う第 2 の連想メモリとを有し、前記第 1 のアドレス及び前記プロセス番号とをタグにして前記第 1 のアドレスを前記第 2 のアドレスに変換するアドレス変換手段と、

前回の変換時の前記第 1 のアドレスを保持する第 1 のアドレス保持手段と、現在の前記第 1 のアドレスと前記アドレス保持手段に保持されている前記第 1 のアドレスとを比較する比較手段と、

前記アドレス変換手段が出力する前記第 2 のアドレスを書込信号に応じて取り込み、保持する第 2 のアドレス保持手段と、

前記アドレス変換手段からの現在の前記第 2 のアドレスと前記第 2 のアドレス保持手段に保持されている前記第 2 のアドレスのいずれかを選択信号に応じて選択し出力する選択手段と、

変換要求があったときに前記比較手段において一致と判別されているときには、前記第 1 の変換開始信号を出力することなく、前記第 2 のアドレス保持手段に保持されている前記第 2 のアドレスが前記選択手段から出力する



ように前記選択信号によって制御し、変換要求があったときに前記比較手段において不一致と判別されているときには、前記第1の変換開始信号及び前記書込信号を出力し、前記アドレス変換手段からの現在の前記第2のアドレスが前記選択手段から出力するように前記選択信号によって制御する制御手段と、を有するアドレス変換回路。

【請求項7】 変換要求信号が前記第2の変換開始信号として前記第2の連想メモリに供給されるとともに、前記制御手段が、前記比較手段が出力する一致信号を反転するインバータと、前記変換要求信号と前記インバータの出力の論理積を求める第1のANDゲートと、前記変換要求信号と前記一致信号の出力の論理積を求める第2のANDゲートと、所定のクロック信号に基づいて前記第1のANDゲートの出力をラッチし前記第1の変換開始信号として出力する第1のD型フリップフロップと、前記クロック信号に基づいて前記第2のANDゲートの出力をラッチし前記選択信号として出力する第2のD型フリップフロップと、前記クロック信号に基づいて前記第1の変換開始信号をラッチし前記レジスタ書込信号として出力する第3のD型フリップフロップと、前記クロック信号に基づいて前記第2のD型フリップフロップの出力をラッチし前記選択信号として出力する第4のD型フリップフロップと、を有する請求項6に記載のアドレス変換回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、連想メモリなどを使用し、第1のアドレスを第2のアドレスに変換して出力するアドレス変換回路に関する。

##### 【0002】

【従来の技術】 連想メモリ (CAM; Content Addressable Memory) などを使用し、与えられた第1のアドレスを第2のアドレスに高速に変換して出力するアドレス変換回路は、例えば、仮想記憶を採用したコンピュータシステムにおいて、CPU (中央処理装置) が出力する仮想アドレスを実際のメモリのアクセスに使用される物理アドレスに変換する際に使用される。以下、説明を分かりやすくするため、アドレス変換回路として、仮想アドレスを物理アドレスに変換するTLB (Table Lockasid e Buffer) によるアドレス変換回路について説明する。図8は、TLBによるアドレス変換回路の構成を示すブロック図である。

【0003】 図8に示すTLB81は、仮想アドレス82の上位ビットをタグとして、物理アドレス83の上位ビットを出力するものであり、物理アドレスの上位ビットを格納するRAM (ランダム・アクセス・メモリ) であるPFN (物理フレーム番号; Physical Frame Number) 用RAM84と、PFN用RAM84に格納された物理アドレスに対応する仮想アドレスの上位ビットを保

持するとともに外部からの入力する仮想アドレス82の上位ビットと比較するVPN (仮想ページ番号) 用CAM (連想メモリ) 85と、から構成されている。VPN用CAM85のエントリとPFN用RAM84のエントリとは1対1に対応して組を構成し、このような組がTLB81内に複数設けられ、入力する仮想アドレス82の上位ビットに応じ、VPN用CAM85で一致するエントリに対応するPFN用RAM84の内容が、TLB81から出力される。この出力が物理アドレス83の上位ビットとなる。なお、仮想記憶を採用したコンピュータシステムでは、メモリアドレスにおけるページ概念も採用されていることが一般的であり、仮想アドレスから物理アドレスへの対応関係は、ページごとに定まっている。したがって、仮想アドレス82のうち各ページに対応する上位ビット部分が上述したようにTLB81に入力してアドレス変換の対象となり、仮想アドレス82の下位ビットは、そのまま物理アドレス83の下位ビットとして使用される。

【0004】 連想メモリであるVPN用CAM85は、それぞれ1ビット分のデータを格納するとともに入力ビットとの比較を行う複数の連想メモリセルを有している。そしてVPN用CAM85は、各エントリごとに、そのエントリに属する連想メモリセルにおいて保持しているビットと入力ビットとが全て一致した場合に一致信号を出力する。この一致信号に応じて、PFN用RAM84から物理アドレス (の上位ビット) が出力することになる。

【0005】 図9は、VPN用CAMとして使用される連想メモリの構成の一例を示す回路図である。ここでは、連想メモリの1エントリ分の構成が示されている。

【0006】 この連想メモリは、それぞれ1ビット分のデータを格納するとともに入力ビットとの比較を行う複数の連想メモリセル91<sub>1</sub>～91<sub>n</sub>を有し、各連想メモリセル91<sub>1</sub>～91<sub>n</sub>に共通に、ワード線92、比較制御線96及び一致信号線97が備えられている。これらワード線92、比較制御線96及び一致信号線97は、図示横方向 (行方向) に延びている。仮想アドレスの上位ビットのそれぞれのビットに対応して、これらの連想メモリセル91<sub>1</sub>～91<sub>n</sub>が設けられている。一致信号線97は、プリチャージ制御線94によってゲート制御がなされるトランジスタT0を介して、電源に接続されている。各連想メモリセル91<sub>1</sub>～91<sub>n</sub>では、2つのインバータI0、I1をたすきがけに接続して1ビット分のスタティック型の記憶素子が構成されるとともに、この記憶素子部分へのデータ入出力のために8個のトランジスタT1～T8が設けられている。また各連想メモリセル91<sub>1</sub>～91<sub>n</sub>に対して、保持すべきビットデータを入力するためのビット線93、93'と、比較対象のビットデータを入力するための比較ビット線95、95'が設けられている。ビット線93'上のデータは、ビット線93

上のデータをインバータ I 2 で反転させたものであり、比較ビット線 9 5' 上のデータは、比較ビット線 9 5 上のデータをインバータ I 3 で反転させたものである。

【0007】各連想メモリセル 9 1<sub>1</sub>～9 1<sub>n</sub>において、トランジスタ T 1 は、比較ビット線 9 3' とインバータ I 0 の入力（インバータ I 1 の出力）との間に挿入され、トランジスタ T 2 は、比較ビット線 9 3 とインバータ I 0 の出力（インバータ I 1 の入力）との間に挿入され、これらトランジスタ T 1, T 2 のゲートは、ワード線 9 2 に接続している。また、トランジスタ T 3, T 5, T 7 はチャネルが直列に接続し、トランジスタ T 3 が一致信号線 9 7 側になるように、一致信号線 9 7 と接地電位との間に挿入されている。同様に、トランジスタ T 4, T 6, T 8 はチャネルが直列に接続し、トランジスタ T 4 が一致信号線 9 7 側になるように、一致信号線 9 7 と接地電位との間に挿入されている。トランジスタ T 3, T 4 のベースはそれぞれインバータ I 0 の入力と出力に接続し、トランジスタ T 5, T 6 のベースはそれぞれ比較ビット線 9 5, 9 5' に接続している。トランジスタ T 7, T 8 のベースは比較制御線 9 6 に接続している。

【0008】このような連想メモリセルにおいて、ワード線 9 2 がハイレベル（以下、単にハイという）になると、トランジスタ T 1, T 2 がオン状態となり、ビット線 9 3, 9 3' が記憶素子部分に接続することになって、データの書き込みや読み出しが可能になる。また、記憶素子部分に記憶された内容（メモリセルに記憶された値）にしたがって、トランジスタ T 3 またはトランジスタ T 4 のどちらか一方だけがオン状態となる。

【0009】実際の連想メモリ動作は、比較制御線 9 6 をロウレベル（以下、単にロウという）にしたまま、まず、プリチャージ信号線 9 4 をハイにしてトランジスタ T 0 をオン状態とし、一致信号線 9 7 を電源線に接続して電荷を蓄え、一致信号線 9 7 の電位をハイ状態とする動作（プリチャージ動作）から開始する。プリチャージが終わると、プリチャージ信号線 9 4 がロウとなり、トランジスタ T 0 がオフに遷移して、一致信号線 9 7 への電荷の供給が停止する。電荷の供給が止まっても、一致信号線 9 7 は、リーク以外の放電経路がないため、ハイの状態を一定時間保持することができる。

【0010】次に、比較ビット線 9 5 によって、比較すべきアドレスを設定する。すると、比較ビット線 9 5, 9 5' 上の信号により、トランジスタ T 5 またはトランジスタ T 6 のどちらか一方だけがオンとなる。この状態で、比較制御線 9 6 をハイにすると、トランジスタ T 7, T 8 がいずれもオンとなり、記憶素子部分での記憶内容と、比較ビット線 9 5, 9 5' 上のデータ内容にしたがって、一致信号線 9 7 と接地電位との間に電流経路（トランジスタ T 3, T 5, T 7 による経路とトランジスタ T 4, T 6, T 8 による経路）が開かれたり閉じたりす

る。電流経路が形成された場合、一致信号線 9 7 に蓄積されていた電荷が放電し、一致信号線 9 7 の電位がロウへ変化する。電流経路が遮断された状態では、一致信号線 9 7 は、当然、ハイの状態を保っている。

【0011】このような連想メモリセル 9 1<sub>1</sub>～9 1<sub>n</sub>が、図示横方向（行方向）に、比較すべきビット数、すなわち仮想アドレスの上位ビットのビット数の分だけ設置されており、すべてのビットでの比較が一致した場合のみ、一致信号線 9 7 の放電経路が遮断され、その電位がハイとなる。1 ビットでも不一致があると、その不一致の連想メモリセルの放電経路から電荷が放電するので、一致信号線 9 7 の電位がロウとなる。

【0012】上述した TLB 8 1 では、比較ビット線 9 5 に仮想アドレス（の上位ビット）を入力し、通常の半導体メモリで構成される PFN 用 RAM 8 4 のワード線を VPN 用 CAM 8 5 の一致信号線 9 7 に接続することにより、仮想アドレスから物理アドレスへの変換を簡単に行うことができる。

【0013】ところで以上説明した従来の TLB 8 1 は、マルチタスク処理を行うコンピュータに適用した場合、このままではタスクの別を識別することができないため、コンテキストスイッチが生じたときに、TLB 8 1 の内容を全て無効にし、新しいタスクでの仮想アドレスと物理アドレスとを TLB 8 1 内にロードする必要があることがある。そこで、特開昭 63-81548 号公報などには、タスク識別子（プロセス番号すなわちプロセス ID）を導入し、各タスクごとにタスクを特定するためのプロセス ID を付与するとともに、このプロセス ID と仮想アドレスとをタグにして物理アドレスを発生する技術が開示されている。

【0014】

【発明が解決しようとする課題】上述したようなアドレス変換回路は、多数の連想メモリセルから構成された連想メモリを使用するが、この連想メモリは、SRAM（スタティック・ランダム・アクセス・メモリ）や DRAM（ダイナミック・ランダム・アクセス・メモリ）と異なって比較のための回路を有し、そのため、格納された記憶内容を単に保持するために必要な消費電力は SRAM などと同じようなものであるものの、アドレス変換のために比較動作まで行わせた場合には、例えば一致信号線の充放電などを伴うため、消費電力はかなり大きくなる。これによって、アドレス変換回路自体の消費電力も大きくなり、アドレス変換回路を他の回路とともに組み込んだ LSI（大規模集積回路）を構成する際の不都合ともなっている。

【0015】本発明の目的は、消費電力を削減することができるアドレス変換回路を提供することにある。

【0016】

【課題を解決するための手段】本発明のアドレス変換回路は、第 1 のアドレスを第 2 のアドレスに変換するアド



レス変換回路であって、変換開始信号に応じてアドレス比較動作を行い、第2のアドレスである出力情報に第1のアドレスを変換するアドレス変換手段と、前回の変換時の第1のアドレスを保持するアドレス保持手段と、現在の第1のアドレスとアドレス保持手段に保持されている第1のアドレスとを比較する比較手段と、アドレス変換手段が出力する出力情報を書込信号に応じて取り込み、保持する出力情報保持手段と、アドレス変換手段からの現在の出力情報と出力情報保持手段に保持されている出力情報のいずれかを選択信号に応じて選択し出力する選択手段と、変換要求があったときに比較手段において一致と判別されているときには、変換開始信号を出力することなく出力情報保持手段に保持されている出力情報が選択手段から出力するように選択信号によって制御し、変換要求があったときに比較手段において不一致と判別されているときには、変換開始信号及び書込信号を出力し、アドレス変換手段からの現在の出力情報が選択手段から出力するように選択信号によって制御する制御手段と、を有する。

【0017】すなわち本発明では、典型的には連想メモリで構成されているアドレス変換手段によって例えば仮想アドレスである第1のアドレスを例えば物理アドレスである第2のアドレスに変換する際に、アドレス変換手段でのアドレス比較動作の回数を減らすことにより、アドレス変換回路全体としての消費電力を削減する。具体的には、変換要求が変換要求信号として入力するとして、仮想アドレスレジスタなどのアドレス保持手段に前回の変換時の比較アドレス（第1のアドレス）を保持しておき、比較器などの比較手段により、前回の仮想アドレスと今回の仮想アドレスとを比較する。そして両者が一致しているとき、すなわち前回のアドレス変換結果を流用可能なときには、連想メモリでのアドレス比較を抑止し、その代わり、物理アドレスレジスタなどの出力情報保持手段（または第2のアドレス保持手段）に格納されている前回の変換結果（物理アドレス）をセクタなどの選択手段で選択してこのアドレス変換回路からの出力としている。このような処理を実行するために、制御回路（制御手段）が、変換要求信号と一致信号とに応じて、変換開始信号、レジスタ書込信号及び選択信号を生成するようにする。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。

【0019】《第1の実施形態》図1は、本発明の第1の実施形態のアドレス変換回路の構成を示すブロック図である。ここでは、仮想記憶システムにおいてCPU（不図示）側から出力される仮想アドレスを物理アドレスに変換するために使用されるアドレス変換回路を例に挙げて説明する。このアドレス変換回路は、CPUから変換要求信号が出力されたときに、仮想アドレスから物

理アドレスの変換を行うものとする。図においては、単に「仮想アドレス」、「物理アドレス」と記載されているが、当然のことながら、これらはそれぞれ、仮想アドレスの上位ビット、物理アドレスの上位ビットのことである。またこの種のアドレス変換回路では、入力する仮想アドレスと一致するエントリがない場合の制御や、予めアドレス変換回路内にアドレスデータを格納するための制御が必要であって、そのための制御機構が設けられているが、ここでは説明を分かりやすくするため、そのような制御機構については図示していない。

【0020】図8に示した従来のアドレス変換回路と同様に、TLB11が設けられ、TLB11内にはVPN用CAM12とPFN用RAM13が設けられている。ここでVPN用CAM12とPFN用RAM13としては、従来のものと同様のものが使用されるが、このうちVPN用CAM12については、変換開始信号の入力によって初めてアドレス比較動作を行い、変換開始信号の入力がない場合はアドレス比較動作を行わずに記憶内容の保持動作のみを行うものが使用される。このようなVPN用CAM12として、例えば、上述の図9に示した連想メモリを使用することができる。図9に示す連想メモリを使用する場合であれば、変換開始信号の入力前にはワード線92やプリチャージ制御線94、比較制御線96をいずれもロウレベルに保持して各連想メモリセルがその記憶内容の保持動作のみを行い、変換開始信号の入力に応じて上述の手順にしたがいワード線92やプリチャージ制御線94、比較制御線96のレベルを変化されアドレス比較動作が行われるようにすればよい。

【0021】さらにこのアドレス変換回路には、CPU側から入力する変換要求信号に応じて仮想アドレスをラッチする仮想アドレスレジスタ14と、現在の仮想アドレスと仮想アドレスレジスタ14が保持している仮想アドレスとを比較し、両者が一致しているときに一致信号を出力する比較器15と、変換要求信号と一致信号とを入力として変換終了信号、変換開始信号、レジスタ書込信号及び選択信号を出力する制御回路16と、PFN用RAM13から出力される物理アドレスをレジスタ書込信号に応じてラッチする物理アドレスレジスタ17と、PFN用RAM13が現在出力している物理アドレスと物理アドレスレジスタ17に保持されている物理アドレスとを選択信号に応じて選択するセクタ18とを備えている。セクタ18から、このアドレス変換回路の出力としての物理アドレスが出力する。セクタ18は、選択信号が出力された場合（“1”の場合）に、物理アドレスレジスタ17の方を選択する。

【0022】このアドレス変換回路では、外部のCPUなどから出力される仮想アドレスは、VPN用CAM12、仮想アドレスレジスタ14及び比較器15に供給されている。そして、変換要求信号に応じて仮想アドレスが仮想アドレスレジスタ14にラッチされることによ

り、仮想アドレスレジスタ14の内容は前回の変換要求信号の出力時の仮想アドレスである。そこで、比較器15によって前回の仮想アドレスと今回の仮想アドレスとを比較し、一致しているとき、すなわち前回のアドレス変換結果を流用可能なときには、VPN用CAM12でのアドレス比較を抑止し、その代わり、物理アドレスレジスタ17に格納されている前回の変換結果（物理アドレス）をセクタ18で選択してこのアドレス変換回路からの出力としている。このような処理を実行するために、制御回路16は、変換要求信号と一致信号とに応じて、変換開始信号、レジスタ書込信号及び選択信号を生成する。なお、制御回路16は変換終了信号も生成するが、この変換終了信号は、アドレス変換が終了したことをCPU側に通知するために使用される。

【0023】図2は、制御回路16の内部構成を示す回路図である。以下の説明では、回路は正論理にしたがって動作し、ハイレベルが“1”に、ロウレベルが“0”に対応するものとする。

【0024】制御回路16は、一致信号を反転するインバータ21と、変換要求信号とインバータ21の出力の論理積を求めてこれを変換開始信号として出力する第1のAND（アンド）ゲート22と、変換要求信号と一致信号の出力の論理積を求める第2のANDゲート23と、所定のクロック信号CLKに基づいて変換開始信号をラッチしレジスタ書込信号として出力する第1のD型フリップフロップ24と、クロック信号CLKに基づいて第2のANDゲート23の出力をラッチし選択信号として出力する第2のD型フリップフロップ25と、レジスタ書込信号及び選択信号の論理和を求めて変換終了信号として出力するOR（オア）ゲート26と、から構成されている。

【0025】このように制御回路16を構成することによって、変換要求信号が入力しても、一致信号が“1”、すなわち前回と今回とで仮想アドレスが同じときには、変換開始信号は出力されず、VPN用CAM12でのアドレス比較動作は行われず、その代わり、1クロック遅れて選択信号が“1”となって出力され、それにより、物理アドレスレジスタ17の内容が物理アドレスとしてセクタ18から出力されることになる。一方、一致信号が“0”、すなわち前回と今回とで仮想アドレスが異なるときは、変換要求信号が入力すると、第1のANDゲート22から変換開始信号が出力され、これによってVPN用CAM12でのアドレス比較動作が行われ、1クロック（TBL11での入力から出力までの遅延時間）のちに、変換後の物理アドレスがPFN用RAM13から出力する。このとき、選択信号は出力されていないのでこの物理アドレスがそのままセクタ18から外部に出力されるとともに、レジスタ書込信号が発生し、次の仮想アドレスが今回のものと一致したときに物理アドレスを出力するために、この物理アドレスは、物理ア

ドレスレジスタ17にラッチされる。

【0026】以上の動作をまとめたタイミングチャートを図3に示す。図3において、「不一致時」、「一致時」とは、それぞれ、今回の仮想アドレスと仮想アドレスレジスタ14に格納されている前回の仮想アドレスとが不一致のとき、一致しているときを表している。また、仮想アドレスAに対応する物理アドレスをA'で表している。

【0027】以上説明した本実施形態のアドレス変換回路では、前回の仮想アドレスと今回の仮想アドレスとを比較し、一致しているときにはVPN用CAM12でのアドレス比較を抑止し、その代わり、物理アドレスレジスタ17に格納されている前回の変換結果（物理アドレス）を選択する。その結果、仮想アドレスにおける同じページの中で連続してアドレス変換を行うような場合には、最初の1回だけはVPN用CAM12でのアドレス比較動作を必要とするが、2回目以降はアドレス比較動作を必要とせず、VPN用CAM12を低消費電力状態（記憶内容の保持のみを行う状態）とすることができる。一般にソフトウェアプログラムの局所参照性は大きいので、ページサイズを適正に設計し、適切なプログラミングを行うことにより、異なるページへのアドレスの遷移を著しく減らすことができる。そのような場合には、本実施形態のアドレス変換回路の構成とすることによって、従来のアドレス変換回路に比べ、大幅な消費電力の削減が達成される。

【0028】またこのアドレス変換回路では、前回の仮想アドレスと今回の仮想アドレスとが一致しているときにはVPN用CAM12やPFN用RAM13を使用しないため、従来のアドレス変換回路に比べ、より早く物理アドレスを得ることができる。

【0029】《第2の実施形態》図4は、本発明の第2の実施形態のアドレス変換回路の構成を示している。ここではコンテキストスイッチ（タスク切替え）に伴うTLBの無効化を防止するために、TLB自体にプロセスID（プロセス番号）を保持させ、プロセスIDと仮想アドレスとをタグにして物理アドレスへの変換を行うようにしている。

【0030】TLB31として、VPN用CAM12及びPFN用RAM13の他に、タグとしてのプロセスIDに対する連想メモリであるPRID用CAM32を備えるものを使用する。PRID用CAM32は、VPN用CAM12と一体となってアドレス比較動作を行うものであるが、VPN用CAM12とは別個に変換開始信号が与えられ、またVPN用CAM12でのアドレス変換動作よりも1クロック早くアドレス変換動作を行うように構成されている。具体的には、上述の図9に示すような連想メモリにおいて、複数の連想メモリセルが接続した1本のワード線の領域をPRID用CAM32用の部分とVPN用CAM12用の部分とに分割し、一致信



号線においては両者の境界部分にラッチ回路を設けるとともに、比較制御線は両者で別個に設けられるような構成とすればよい。PRID用CAM32には、CPU内に設けられたプロセスIDレジスタ33からプロセスIDが供給されている。またこのアドレス変換回路では、PRID用CAM32とVPN用CAM12とに別個に変換開始信号（それぞれ、PRID変換開始信号、VPN変換開始信号とする）を与えるため、制御回路の内部構成が図1に示すアドレス変換回路の場合（図2参照）と異なっている。制御回路34の内部構成を図5に示す。その他の点ではこのアドレス変換回路は図1に示すアドレス変換回路と同一である。

【0031】制御回路34は、一致信号を反転するインバータ41と、変換要求信号とインバータ41の出力の論理積を求める第1のANDゲート42と、変換要求信号と一致信号の出力の論理積を求める第2のANDゲート43と、所定のクロック信号CLKに基づいて第1のANDゲート42の出力をラッチしVPN変換開始信号として出力する第1のD型フリップフロップ44と、クロック信号CLKに基づいて第2のANDゲート43の出力をラッチし選択信号として出力する第2のD型フリップフロップ45と、クロック信号CLKに基づいてVPN変換開始信号をラッチしレジスタ書込信号として出力する第3のD型フリップフロップ46と、クロック信号CLKに基づいて第2のD型フリップフロップ45の出力をラッチし選択信号として出力する第4のD型フリップフロップ47と、レジスタ書込信号及び選択信号の論理和を求めて変換終了信号として出力するORゲート48と、から構成されている。また、変換要求信号は、そのまま、PRID変換開始信号としても出力する。

【0032】このように制御回路34を構成することによって、変換要求信号が入力した場合にそれが直ちにPRID変換開始信号としてPRID用CAM32に出力する。したがって、変換要求信号の発生たびにPRID用CAM32においてアドレス比較動作が行われることになるが、PRID用CAM32のビット幅（プロセスIDのビット幅）は、VPN用CAM12の入力ビット幅すなわち仮想アドレス（の上位ビット）のビット幅に比べて小さく、変換要求信号の発生たびにPRID用CAM32がアドレス比較動作を行ったとしても、消費電力の上昇は小さい。なお、プロセスIDでのアドレス比較動作を仮想アドレスでのアドレス比較動作に先行して実行するのは、コンテキストスイッチ時の動作を保証するためにCPUからプロセスIDが仮想アドレスに先行して出力されるためである。

【0033】また、この制御回路34は、VPN変換開始信号（図2の制御回路における変換開始信号に相当）、レジスタ書込信号、選択信号及び変換終了信号の発生に関しては、変換要求信号の入力から数えて1クロック余計に遅延するものの、図2に示す制御回路と同じ

である。したがって、前回の変換時の仮想アドレスと今回の仮想アドレスとが一致するかしないかに応じて、仮想アドレス部分のアドレス比較は行わずに物理アドレスレジスタ17内の物理アドレスを出力するか、仮想アドレス部分のアドレス比較を行ってその結果を出力するか、が決定する。このアドレス変換回路の動作タイミングを図5のタイミングチャートに示す。

【0034】本実施形態においても、仮想アドレスにおける同じページの中で連続してアドレス変換を行うような場合に、大幅な消費電力の削減を達成することができる。

【0035】《第3の実施形態》次に、本発明の第3の実施形態について、図7を用いて説明する。上述の各実施形態は、TLBによって仮想アドレスから物理アドレスに変換する場合を示したものであったが、ここでは、2ウェイ・セットアソシアティブ方式によるキャッシュメモリに本発明を適用した例を説明する。

【0036】このアドレス変換回路は、セットアソシアティブ方式のキャッシュ動作を実現するため、図1に示すアドレス変換回路においてTLBを設ける代わりに、仮想アドレスをデコードするデコーダ51と、セット#0及びセット#1のVPN用仮想アドレスRAM52、53と、PFN用物理アドレスRAM54と、セット#0のVPN用仮想アドレスRAM52が出力するアドレスと入力した仮想アドレスとを比較しセット#0一致信号を出力する比較器55と、セット#1のVPN用仮想アドレスRAM53が出力するアドレスと入力した仮想アドレスとを比較しセット#1一致信号を出力する比較器56と、セット#0一致信号及びセット#1一致信号によって制御されるセクタ57とを設けた構成となっている。なお、説明を分かりやすくするため、各RAM52～54にデータを書込むための機構やキャッシュミスがあったときの処理を行う機構は、図示していない。

【0037】デコーダ51のデコード結果は、VPN用仮想アドレスRAM52、53及びPFN用物理アドレスRAM54に与えられる。また、PFN用物理アドレスRAM54は、セット#0用の記憶領域とセット#1用の記憶領域とに分かれており、それぞれから物理アドレスが出力してセクタ57に入力する。セクタ57は、セット#0一致信号が出力されているときにはPFN用物理アドレスRAM54のセット#0用の記憶領域側を選択し、セット#1一致信号が出力されているときにはPFN用物理アドレスRAM54のセット#1用の記憶領域側を選択し、選択された物理アドレスを物理アドレスレジスタ17及びセクタ18に出力する。制御回路16が出力する変換開始信号は、各VPN用仮想アドレスRAM52、53及びPFN用物理アドレスRAM54の各記憶領域に与えられている。

【0038】このアドレス変換回路では、上述の各実施形態のアドレス変換回路と同様に、前回の仮想アドレス

と今回の仮想アドレスとが一致するときに各RAMへの変換開始信号の供給が抑止される。各RAM 52～54としてスリープモードなどの低消費電力モードを備えたものを使用することにより、前回の仮想アドレスと今回の仮想アドレスとが一致するときには各RAM 52～54を低消費電力モードのままとすることができるので、変換要求信号の出力のたびに各RAMを動作モードとする従来のアドレス変換回路に比べ、大幅な消費電力削減を図ることができる。

【0039】

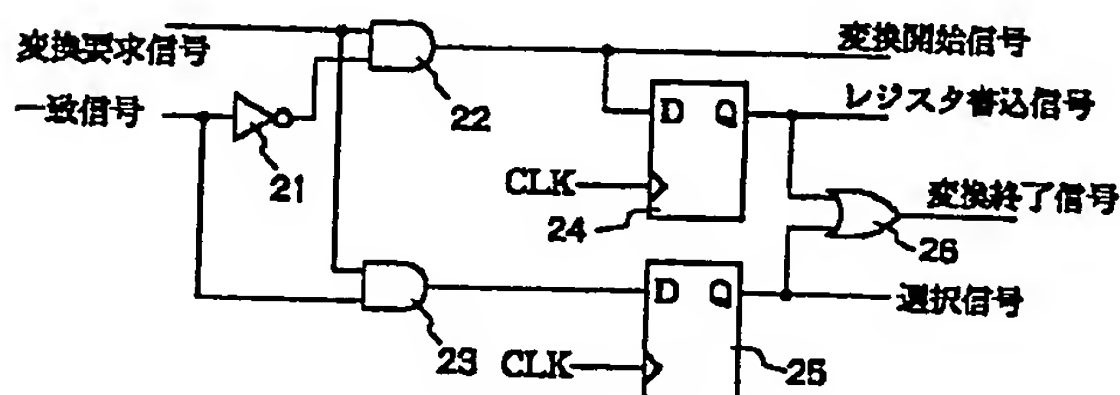
【発明の効果】以上説明したように本発明では、連想メモリなどを用いて第1のアドレス（例えば仮想アドレス）から第2のアドレス（例えば物理アドレス）へのアドレス変換を行う際に、前回の変換時の第1のアドレス及び第2のアドレスを保持するとともに、前回と今回とで第1のアドレスが一致しているかどうかを判別し、一致している場合には、連想メモリなどでのアドレス比較動作を行うことなく、保持してある前回の変換時の第2のアドレスをそのまま出力するようにしている。その結果、前回のアドレス変換結果を流用できるときにはアドレス比較動作が行われず、その分、アドレス変換回路の消費電力を削減できる。ソフトウェアプログラムの場合、一般に局所参照性が高いとされているから、アドレス変換を要求される場面のうちの大多数の場合において、前回の変換時と今回とで第1のアドレスが一致していると考えられ、本発明によれば、アドレス変換回路の消費電力を大幅に削減できる。さらに本発明では、前回と今回とで第1のアドレスが同じであった場合には連想メモリなどを経由しないため、より早く第2のアドレスを得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のアドレス変換回路の構成を示すブロック図である。

【図2】図1のアドレス変換回路における制御回路の構成を示す回路図である。

【図2】



成を示す回路図である。

【図3】図1のアドレス変換回路の動作を説明するタイミングチャートである。

【図4】本発明の第2の実施形態のアドレス変換回路の構成を示すブロック図である。

【図5】図2のアドレス変換回路における制御回路の構成を示す回路図である。

【図6】図2のアドレス変換回路の動作を説明するタイミングチャートである。

【図7】セットアソシアティブ方式のキャッシュメモリとして構成された本発明の第3の実施形態のアドレス変換回路の構成を示すブロック図である。

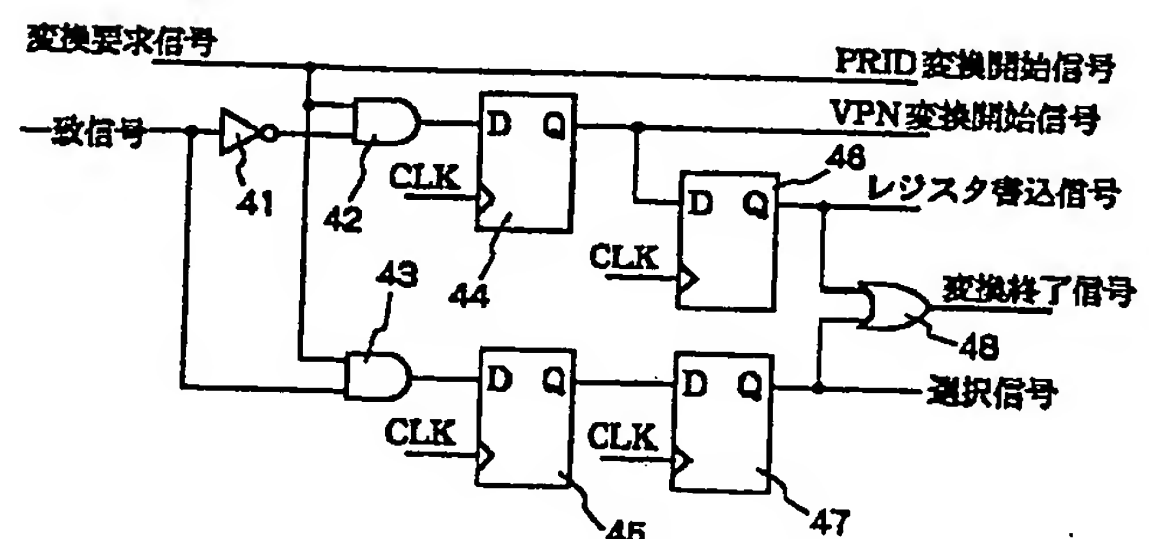
【図8】従来のアドレス変換回路の構成を示すブロック図である。

【図9】VPN用CAMの構成の一例を示す回路図である。

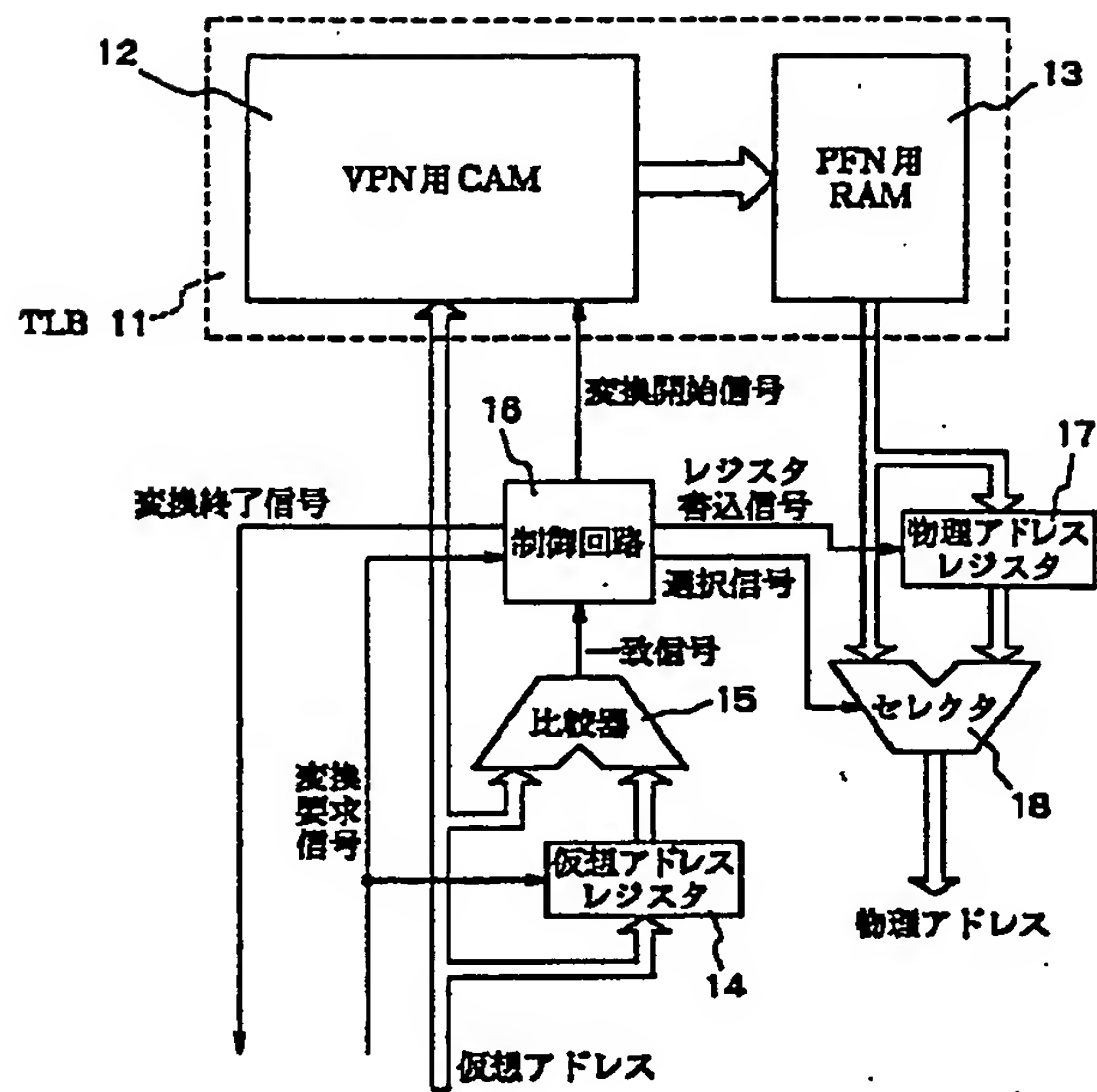
【符号の説明】

- 11, 31 TLB
- 12 VPN用CAM
- 13 PFN用RAM
- 14 仮想アドレスレジスタ
- 15, 55, 56 比較器
- 16, 34 制御回路
- 17 物理アドレスレジスタ
- 18, 57 セレクタ
- 21, 41 インバータ
- 22, 23, 42, 43 ANDゲート
- 24, 25, 44～47 D型フリップフロップ
- 26, 48 ORゲート
- 32 PRID用CAM
- 33 プロセスIDレジスタ
- 51 デコーダ
- 52, 53 VPN用仮想アドレスRAM
- 54 PFN用物理アドレスRAM

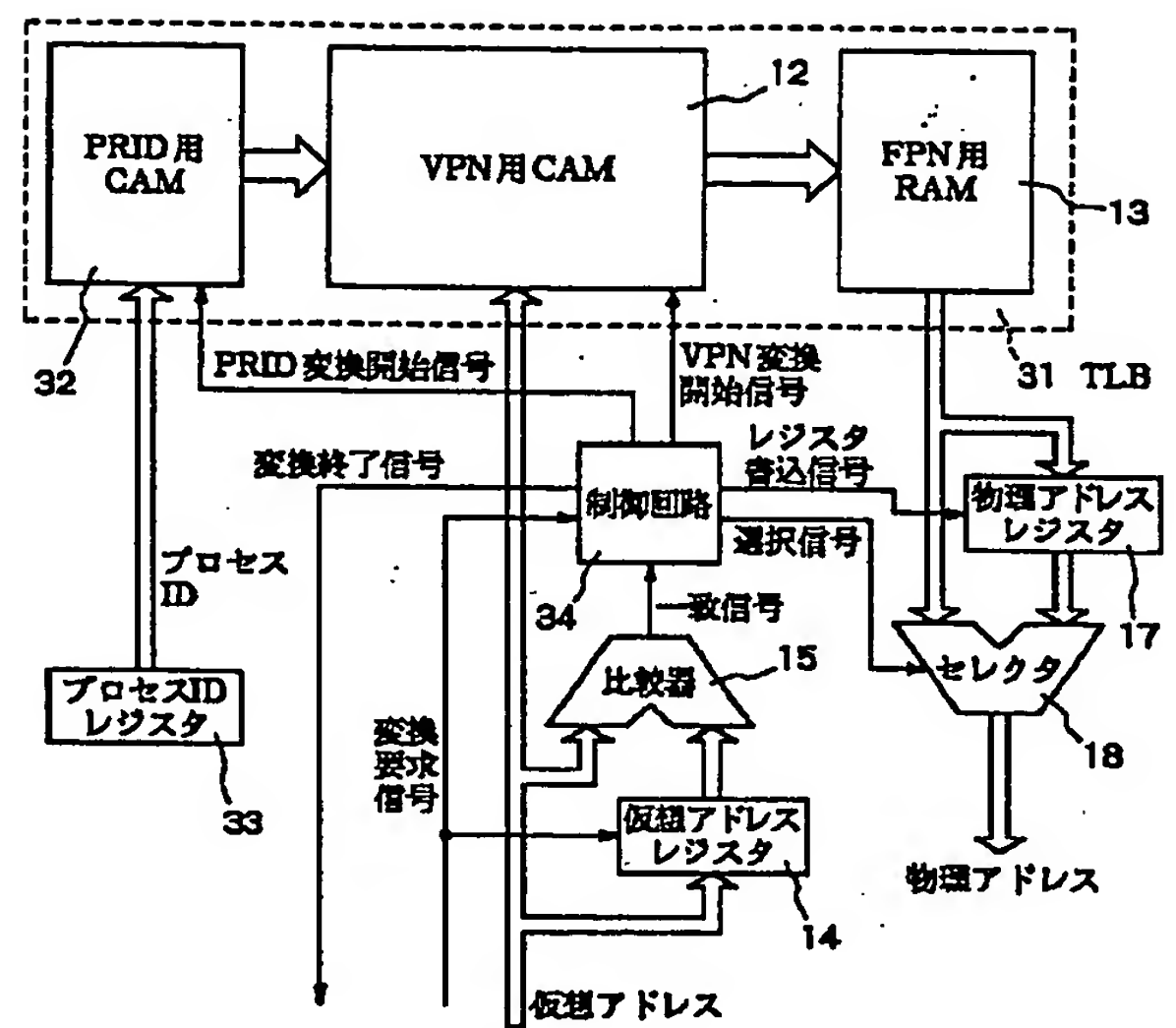
【図5】



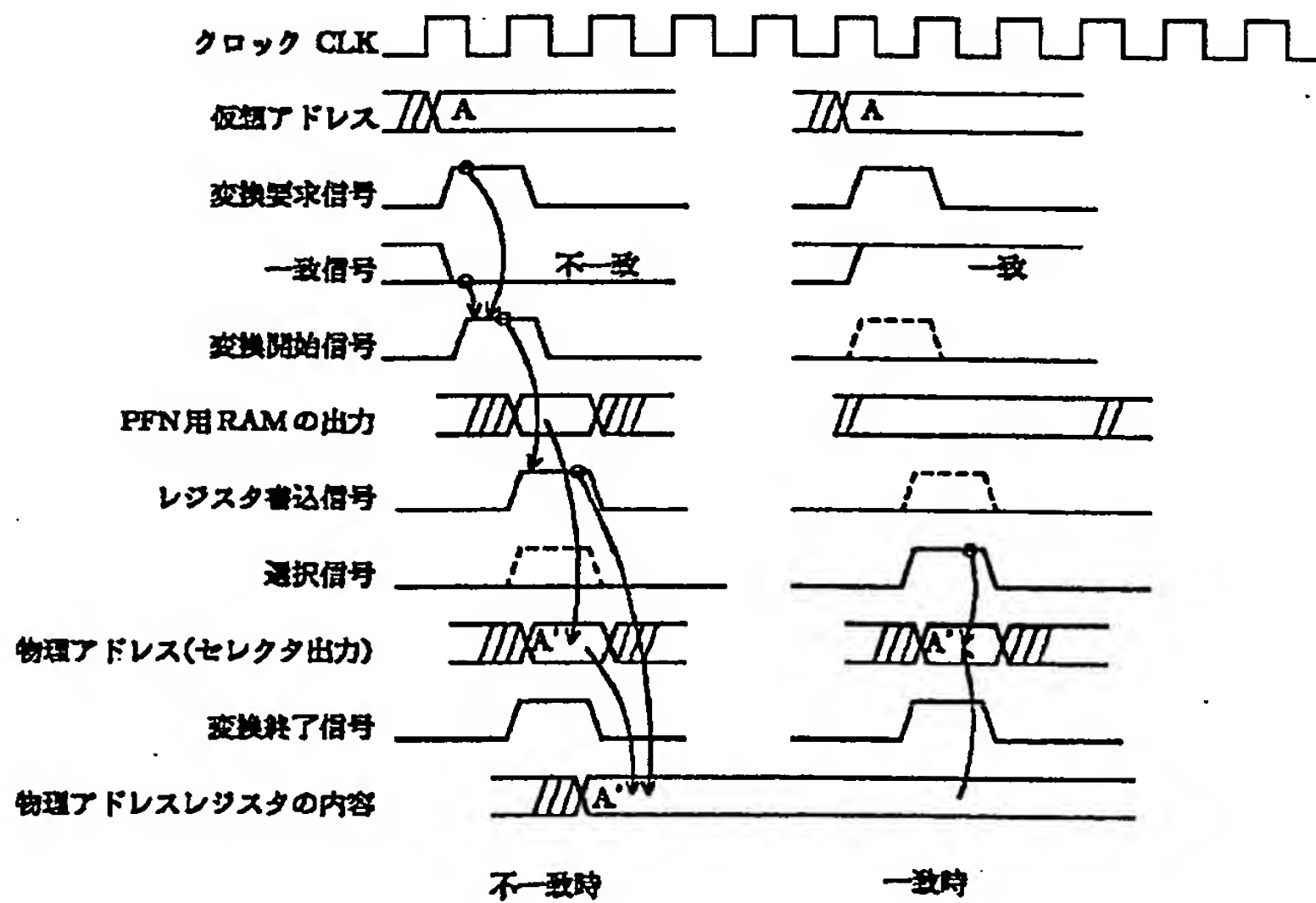
【図1】



【図4】

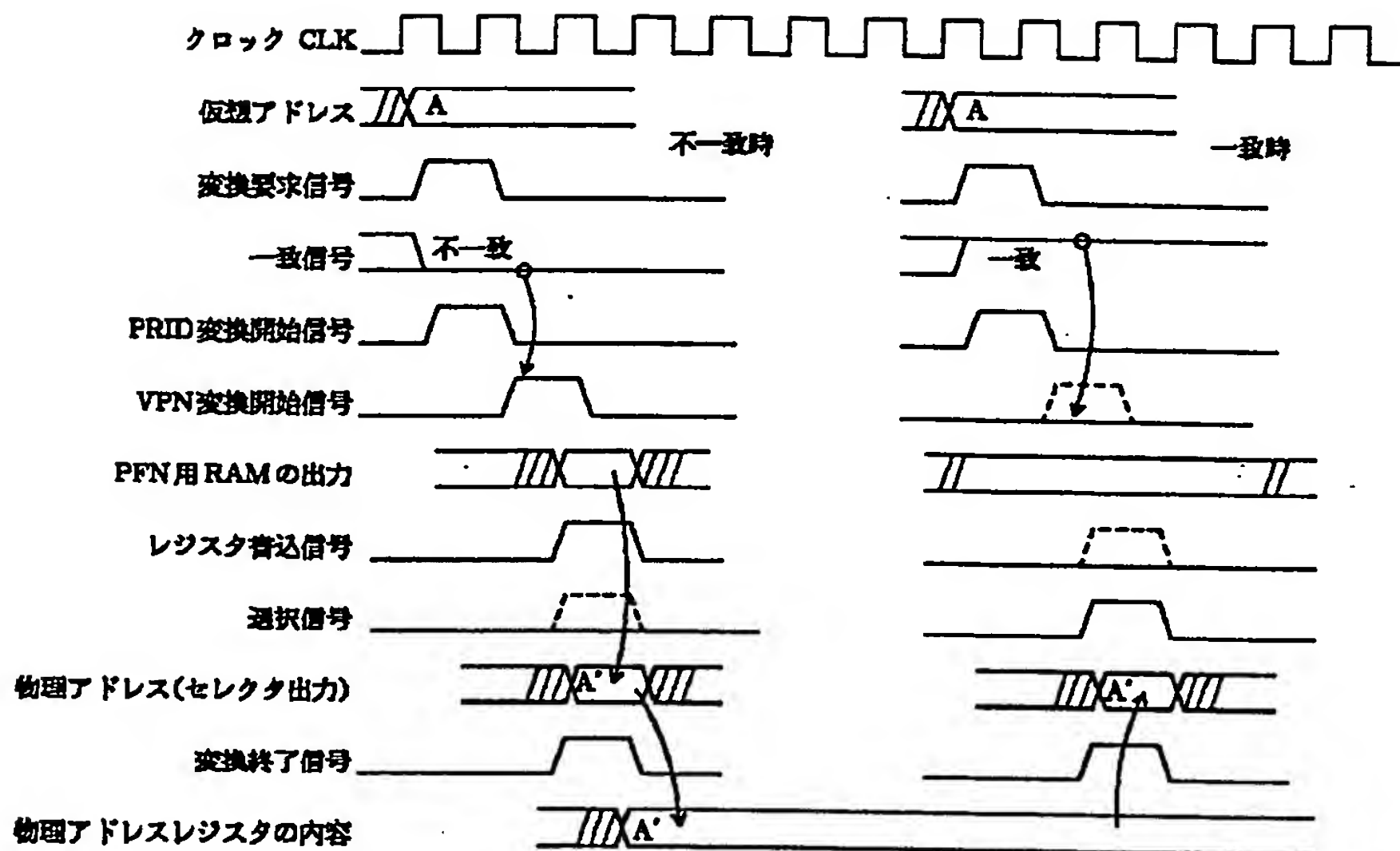


【図3】

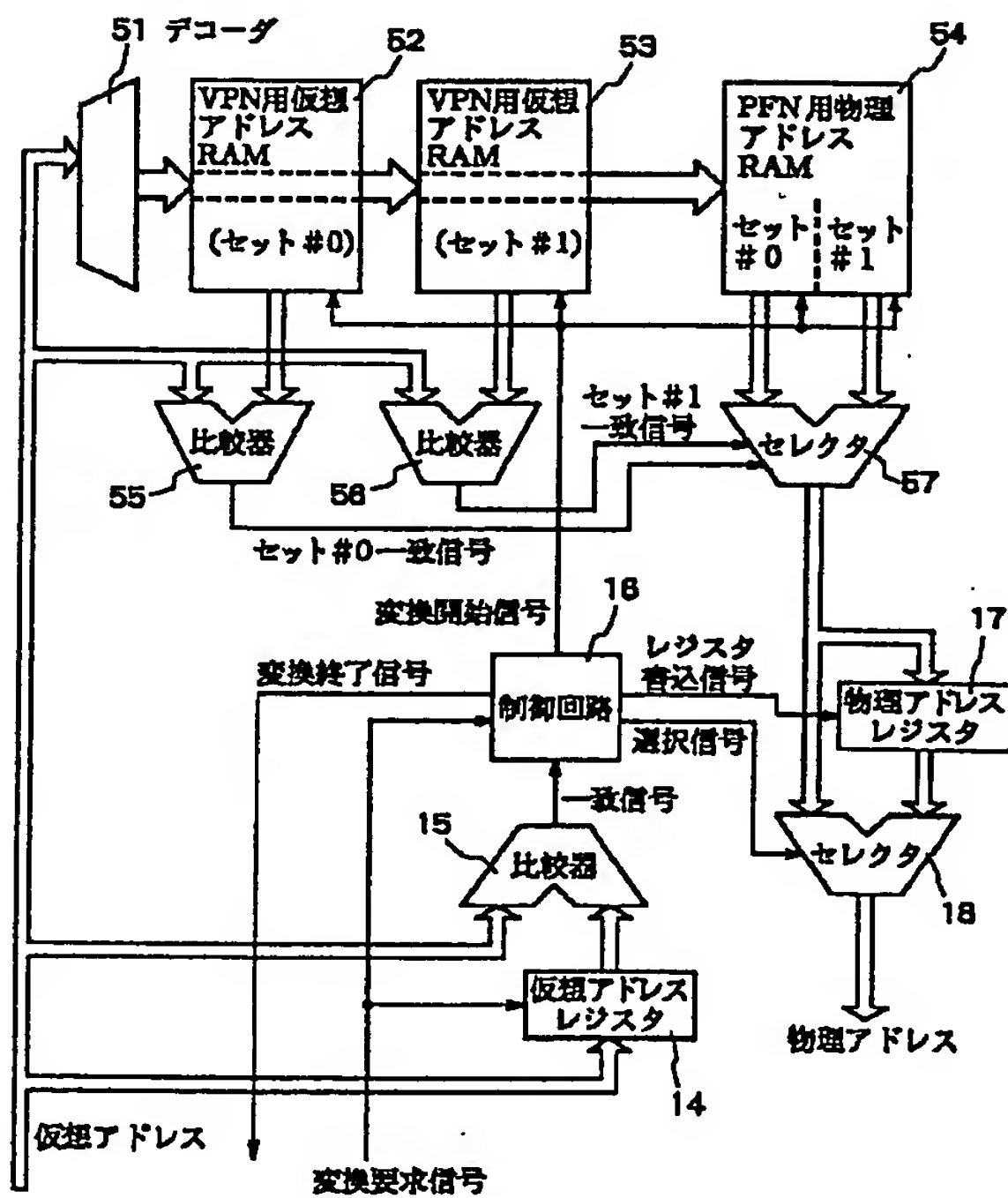




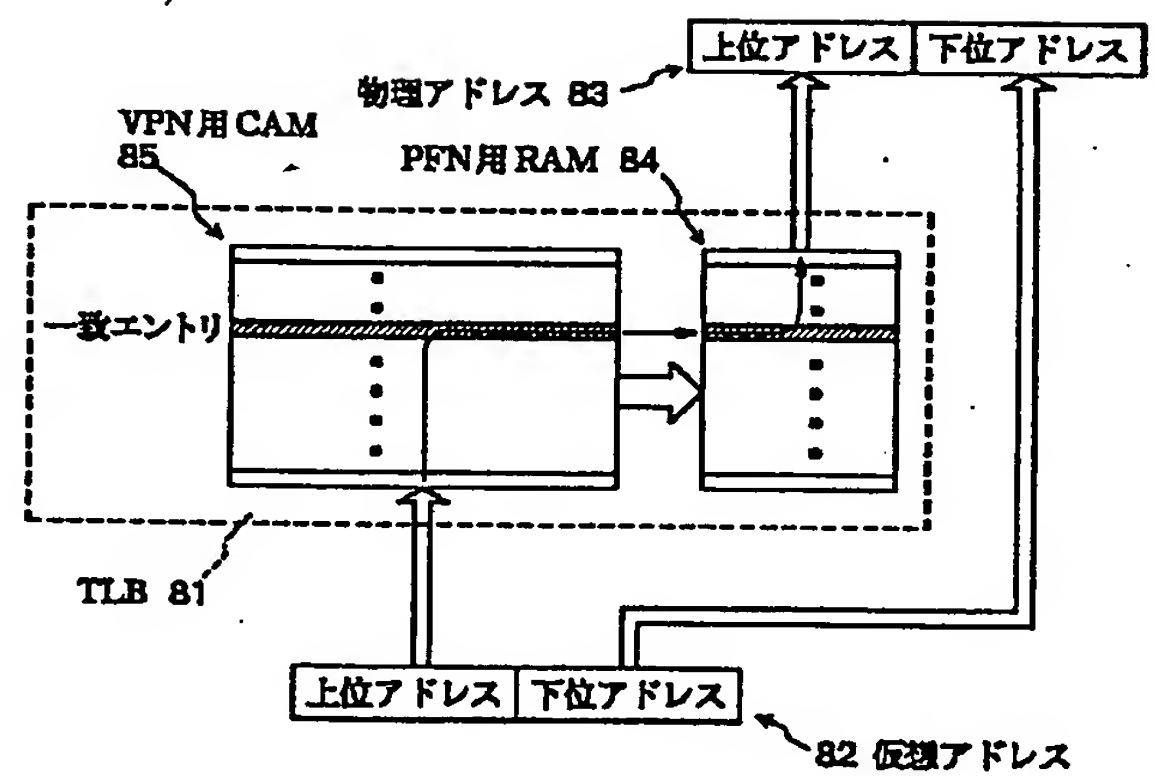
【図6】



【図7】



【図8】



【図 9】

